

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-138067**
 (43)Date of publication of application : **31.05.1996**

(51)Int.Cl. **G06T 11/20**
G06T 5/30
G06T 5/00
G09G 5/20

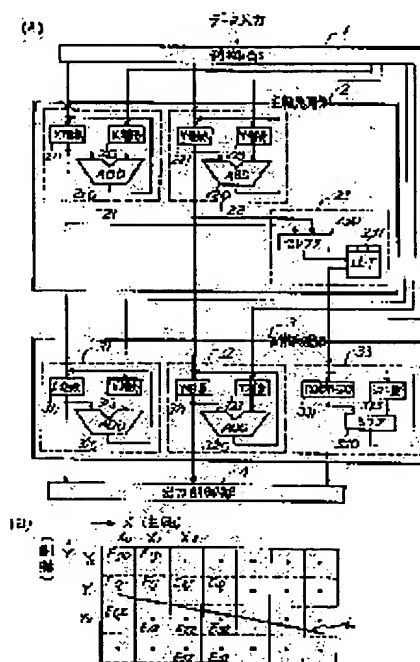
(21)Application number : **06-280180** (71)Applicant : **FUJITSU LTD**
 (22)Date of filing : **15.11.1994** (72)Inventor : **NAKAYAMA HIROSHI**

(54) LINE SEGMENT ANTI-ALIASING DEVICE

(57)Abstract:

PURPOSE: To provide a device capable of obtaining a reduction rate without calculating distance between the position of a picture element in a range within prescribed vertical and horizontal width decided in advance of a theoretical line and the theoretical line and performing anti-aliasing processing.

CONSTITUTION: A graphics device in which the data of each picture element of a line segment is stored in a frame buffer to display the line segment on an output means is provided with picture element generating means 31, 32 which generate plural pieces of picture element data sequentially in the sub axial direction of the line segment, and a sub axis processing means equipped with a reduction rate register 331 which holds the luminance reduction rate of each picture element, and the output means 330 which takes out required reduction rate data from the reduction rate register 331 synchronously with the operation of the picture element generating means and outputs the picture element data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成8年(1996)5月31日

技術表示箇所

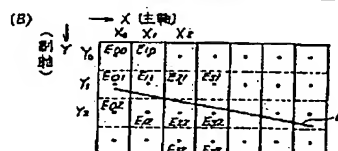
5/00

15/ 66

405

審査請求 未請求 請求項の数 6 OL (全 15 頁) 最終頁に続く

(74)代理人 弁理士 山谷 皓榮 (外1名)



【特許請求の範囲】

【請求項1】 線分を表示するために、線分の各画素のデータをフレームバッファに記憶させるグラフィックス装置において、

線分の副軸方向に対して複数個の画素データを順次発生させる画素発生手段と、各画素の輝度低減率を保持する低減率レジスタと、前記画素発生手段の動作に同期して前記低減率レジスタから必要な低減率データを取り出して各画素データを出力する出力手段を具備した副軸処理手段を設けたことを特徴とする線分アンチエイリアシング装置。

【請求項2】 各画素の輝度低減率を保持する前記低減率レジスタと、前記画素発生手段の入力情報を保持するレジスタ群を2面構成とし、第1の画素データを処理している期間に、第2の処理を行うための入力情報を設定するようにしたことを特徴とする請求項1に記載された線分アンチエイリアシング装置。

【請求項3】 前記副軸処理手段により発生された各画素の縦軸方向の座標値又は横軸方向の座標値の下位ビットの情報をもとに、複数個のフレームバッファ制御装置に画素データを分配する分配手段を有することを特徴とする請求項1又は請求項2に記載された線分アンチエイリアシング装置。

【請求項4】 前記副軸処理手段により発生された各画素の縦軸方向の座標値又は横軸方向の座標値の下位ビットの情報をマスク情報と比較する比較手段を設けることにより、複数個のフレームバッファを並列に配置構成するようにしたことを特徴とする請求項1又は請求項2に記載された線分アンチエイリアシング装置。

【請求項5】 低減率が記入された第1の参照テーブルと、第1の参照テーブルに記入された低減率よりも減衰された低減率の記入された第2の参照テーブルを設け、線分の端点のみ前記第2の参照テーブルを参照するように構成したことを特徴とする請求項1又は請求項2に記載された線分アンチエイリアシング装置。

【請求項6】 各画素の低減率を前記低減率レジスタから取り出して出力するとき、低減率データをシフトするシフト手段を設け、線分の端点のみ低減率データを減衰して出力するように構成したことを特徴とする請求項1又は請求項2に記載された線分アンチエイリアシング装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はグラフィックス処理装置に係り、特に線分を表示するときに生ずるギザギザつまりエイリアシングを抑制して表示するデータの品質を向上する線分アンチエイリアシング装置に関する。

【0002】一般にグラフィックス処理では、ユーザが表示したい図形の形状や色、輝度などの情報を図形リストとして記述し、グラフィックス処理装置は図形リスト

を記述された順番に処理して、表示用の記憶手段に色や輝度を格納することにより、最終的に絵を表示させている。このようなグラフィックス処理装置は、電子回路や部品の設計などのCAD分野等に用いられている。

【0003】

【従来の技術】このようなグラフィックス処理装置では、CRTディスプレイ装置などの表示手段に線分を表示することが重要な技術である。近年の装置では、表示画面の解像度に合わせたフレームバッファに線分データを書き込み、そのデータをCRTディスプレイのラスタ走査に同期して読み出し、表示するのが一般的である。

【0004】例えばワークステーションにおいて1280×1024ドットの白黒ディスプレイでは、1280×1024×1ビットのメモリ配列に表示データを格納する。1280×1024の各単位は画素と呼ばれ、各画素に「1」か「0」のデータを書き込むことによって文字データや図形データを表示する。

【0005】しかしこの方式では、メモリに離散的にデータを格納するため、線分の表示においてエイリアシングと呼ばれるギザギザが発生して表示画像の品質を低下させる。

【0006】その例を図11により説明する。図11の点線の格子はフレームバッファの各画素を表す。図11(A)の実線Lは使用者の表示したい線分データを意味する。使用者が表示したい線分は、本来図11(A)に示すように、連続した実線である。ところがデータの格納時においては、図11(B)に示すように、離散的配列であるフレームバッファの各画素に黒くデータを書き込むため、線分は階段状に表示される。この現象は一般的にエイリアシングと呼ばれている。

【0007】このようなエイリアシングを除去する技術としてアンチエイリアシングと呼ばれる表示方法が提案されている。このアルゴリズムを図11及び図12を用いて説明する。図11の格子状の配列において、横方向をX軸、縦方向をY軸と定義する。図11の線分の場合、線分の傾きは縦方向の方が小さく、このような線分を主軸X、副軸Yの横線分という。このような横線分では、横方向に1ドットずれるとき、Y座標が±1ドット以内の範囲で変化する。なお縦線分は横線分のXとYの役目を逆転すれば実現可能であるので、以下の説明では横線分についてのみ説明する。

【0008】図11(B)に示す如く、通常の線分の描画においては、横線分の左端点から各画素の描画を行い、横方向に1ドット進行するに従い、理論線L上のY座標に最も近い画素を選択し、その画素にデータを格納する。

【0009】一方、アンチエイリアシングと呼ばれるアルゴリズムは、図12に示す如く、通常の描画方法により描画される画素(●)に加え、上下1画素(★)ずつを描画する。つまりあるX座標に対してY軸方向に3画

素が描画されることになる。この際描画する画素の中心点と、理論線Lとの間の距離を求め、その距離に応じて描画する画素の輝度を変化させる。実際には、描画する画素が理論線Lから離れるほど輝度を低くする。このようにして見かけ上、線分の表示をばかしてエイリアシングの影響を低減させる。

【0010】なお、アンチエイリアシングを実現するためには、中間調の輝度が必要であるため、各画素で8ビット程度の輝度情報が必要である。

【0011】

【発明が解決しようとする課題】最近のグラフィックス装置では、安価なメモリにより、この程度のメモリ量は問題となっていない。しかしこのアルゴリズムを実現するためには、各画素ごとに輝度の低減率を計算する必要があり、多大な演算量を必要とする。

【0012】従来ではこの演算量を低減するため、テーブルを用いて各画素ごとに低減率を求めているが、それでも各画素毎に理論線Lとの距離を1つ1つ計算するので、通常の描画に比較して性能が著しく低減するという問題点があった。本発明の目的は、これを改善した、簡単な構成で高速なアンチエイリアシング装置を提供することである。

【0013】

【課題を解決するための手段】前記目的を達成するため、本発明では、図1(A)に示す如く、制御部1と、主軸処理部2と、副軸処理部3を設ける。主軸処理部2は、横線分の場合、図1(B)に示す理論線LがX軸（主軸）方向に増加したときにそのX座標の増分加算と、Y座標の増分加算と、画素の輝度の低減率を算出するものであり、X座標演算部21、Y座標演算部22、低減率演算部23を有する。

【0014】副軸処理部3は、横線分の場合Y軸（副軸）方向の増加分加算と、理論線Lの存在する画素とその上下2画素との合計3画素の輝度の低減率を算出するものであり、X座標演算部31、Y座標演算部32、低減率演算部33を有する。

【0015】また低減率演算部23には参照テーブル231が設けられ、セレクト230からのアドレスにより参照されたとき、例えば8ビットのサイズの、副軸方向の3画素分の低減率データを出力する。

【0016】制御部1は、理論線Lの始点座標(Xs、Ys)とX増分値(1.0)、Y増分値(dy)を主軸処理部2に送出し、またX増分値(0.0)とY増分値(1.0)とシフト量(この例では8ビット)を副軸処理部3に出力する。このとき、横線分の場合、始点のX座標の小数部フィールドは0として入力される。また主軸処理部2のY座標演算部22に入力されるY増分値(dy)は、理論線Lにおいて、X座標が1.0だけ増分したときのY座標の増分値を示す。

【0017】

【作用】初め、制御部1は主軸処理部2のX座標演算部21に対して理論線LのX始点XsとX増分値(1.0)を送出し、X始点レジスタ211、X増分レジスタ213にセットされる。同時に制御部1はY座標演算部22に対して理論線LのY始点YsとY増分値dyを送出し、Y始点レジスタ221、Y増分レジスタ223にセットされる。なお横線分の場合、このときX始点レジスタ211にセットされるX始点XsのX座標の小数部フィールドは0として入力される。

10 【0018】また制御部1は、副軸処理部3のX座標演算部31に対してはX増分値(0)を送出してX増分レジスタ313にこのゼロがセットされ、Y座標演算部32に対してはY増分値(1.0)を送出してY増分レジスタ23にこの1.0がセットされ、低減率演算部33に対しては参照テーブル231に記入された低減率のサイズが8ビットであることにより、シフト量8を送出してシフト量レジスタ333にこの8がセットされる。

【0019】最初は、主軸処理部2のX始点レジスタ211には理論線LのX始点Xs（整数部のみのため図1(B)に示す画素E00の中心値のX座標X₀である）がセットされ、X増分レジスタ213には増分値1.0がセットされ、Y始点レジスタ221には理論線LのY始点として(Ys-1)がセットされ、Y増分レジスタ223にはY増分値dyがセットされる。そして横線分のときセレクト230はY座標演算部22からの出力を選択する。

【0020】従って、主軸処理部2のX座標演算部21からはX始点Xsの整数部X₀が出力されてX座標演算部31のX始点レジスタ311にセットされ、Y座標演算部22からはY始点(Ys-1)が出力されてY座標演算部32のY始点レジスタ321にセットされ、参照テーブル231はこのY始点Ysの小数部をアドレスとしてアクセスされたことにより得られる、図1(B)に示す画素E00、E01、E02に対する3つの低減率が出力され低減率レジスタ331にセットされる。

【0021】それ故、最初に副軸処理部3のX座標演算部31より図1(B)における画素E00～E02のX始点X₀が出力され、Y座標演算部32よりYs-1が出力され、また低減率レジスタ331より画素E00に対する減衰率が出力される。

40 【0022】これにより出力制御部4では、画素E00に対し、理論線Lの輝度にこの減衰率を乗じた値の輝度で出力表示を行う。次にY座標演算部32では加算器320によりY始点レジスタ321の値に対してY増分レジスタ323にセットされている数値1が加算されて(Ys-1)+1=YsがY始点レジスタ321にセットされ、これが出力制御部4に出力される。

50 【0023】このとき、X座標演算部31でも、加算器310により同様な演算が行われるが、このときX増分レジスタにセットされた数値は0であるので、0加算が

行われる。従ってY座標演算部32から前記Ysが出力されたときX座標演算部31からX。が出力されるので、今度は画素E01に対する低減率が低減率レジスタ331より出力される。

【0024】それからY座標演算部32では更に+1加算が行われYs+1がY始点レジスタ321にセットされ、この値が出力制御部4に出力される。このとき、X座標演算部31からX。が出力されるので、今度は画素E02に対する低減率が、低減率レジスタ331より出力制御部4に出力され、この低減率により画素E02が表示制御される。

【0025】この間に、主軸処理部2では加算器210によりX始点レジスタ211にセットされたX。とX増分レジスタ213にセットされた数値1が加算されてX。+1がX始点レジスタ211にセットされ、加算器220によりY始点レジスタ221にセットされたYs-1とY増分レジスタ223にセットされたY増分値dyが加算されて(Ys+dy-1)がY始点レジスタ221にセットされる。

【0026】従って、前記の如く、画素E01、E00、E02に対する低減率がこれら画素データに同期して順次出力制御部4に出力されたあと、今度は同様にして画素E11、E10、E12に対する低減率が出力制御部4に出力される。このようにして、順次アンチエイリアシングのためのデータが得られ、アンチエイリアシングが行われる。

【0027】

【実施例】本発明の一実施例を図1～図5に基づき詳述する。制御部1は、図1に示す線分アンチエイリアシング装置全体の制御と線分データの入力処理を行うものであり、図2に示す如き形式のデータが入力される。このデータは、横線分か縦線分かを示すヘッダHと、理論線のX座標始点Xs、Y座標始点Ysと、終点座標E(横線分の場合はそのX座標X_e、縦線分の場合はそのY座標Y_e)と、線分の傾きd(横線分の場合は縦方向つまりY増分値dy、縦線分の場合は横方向つまりX増分値dx)等で構成される。

【0028】座標データ及び傾きデータは、整数部フィールドと、理論線を精度よく表現するため、線分アンチエイリアシング装置として物理的に許容される範囲の小数部フィールドを持つ。ただし横線分の場合、X座標の小数部フィールドは0として入力される。また縦線分の場合、Y座標の小数部フィールドが0として入力される。これらのデータの生成は、一般的なCPUで行われる。

【0029】実際には、この入力段階において、始点のY座標については本来の値に0.5を加えておく。これは、Y座標の増分加算を行った結果に対して、四捨五入する処理をするのと同等の効果を簡単に実現するため、*

$$d01 = 3 \text{ 画素中心のY座標} - \text{理論線のY座標}$$

* 予めY座標に0.5を加えておき小数部を切捨てる、つまり整数部だけを取り出すという、一般的な方式である。

【0030】さらに本発明では、それから数値1.0を引いたものを始点のY座標入力とする。これにより、副軸処理部3のY座標演算部32において、Y増分として+1を行うことにより本来の理論線の位置及びそれに+1、-1した位置の、副軸方向の連続3画素の位置を求めることができる。

【0031】即ち、本発明では、四捨五入処理を行うために、予めY座標に0.5を加えておき、整数部だけを取り出し、さらにそれから1.0を引いたものつまり、本来のY座標から0.5を引いたものを始点のY座標入力とする。これにより、図3に示す実線を本来の理論線とした場合、本発明の主軸処理部2で増分加算を行うのは点線L'で示す線分である。

【0032】制御部1は、前記各パラメータをX始点レジスタ211、X増分レジスタ213、Y始点レジスタ221、Y増分レジスタ223に設定してX座標演算部21、Y座標演算部22を起動する。ここで横線分の場合、前記の如く、X増分レジスタ213に数値1.0を設定する。X座標演算部21、Y座標演算部22は、起動がかかるとX始点レジスタ211、Y始点レジスタ221のデータをそれぞれ副軸処理部3に出力する。そしてX座標演算部21では、加算器210によりX始点レジスタ211にセットされたデータとX増分レジスタ213にセットされたデータが加算されて、これが新たな始点データとしてX始点レジスタ211にセットされる。

【0033】同様にY座標演算部22では、加算器220によりY始点レジスタ221にセットされたデータとY増分レジスタ223にセットされたデータ即ちY増分値dyが加算されて、これが新たな始点データとしてY始点レジスタ221にセットされる。但し、副軸処理部3がビジーの場合、主軸処理部2は出力処理の途中で副軸処理部3が非ビジーになるまでウェイトする。

【0034】次に低減率演算部23の参照テーブル231のデータと参照方法について説明する。図4はアンチエイリアシングを施される各画素と理論線Lとの距離を示すものである。図4において、各画素の中心(●)がX、Y座標の整数の位置を示す。

【0035】図4において、X=1.0とX=2.0では理論線Lからの距離の計算方式が異なる。座標X=1.0上では縦方向の3画素の中心画素(Y=2.0)と理論線LのY座標を比較するとY=2.0の位置の方が大きく、図4における距離d01、d02、d03は次式により算出される。

【0036】

$$\begin{array}{l} 7 \\ d02 = 1.0 - d01 \\ d03 = 1.0 + d01 \end{array} \quad) \cdots \textcircled{1}$$

また座標 $X = 2.0$ 上では、縦方向の3画素の中心画素
($Y = 2.0$)理論線 L の Y 座標を比較すると、 $Y =$
 2.0 の方が小さく、図4における距離 $d11$ 、 $d1$ *

* 2、 $d13$ は次式により算出される。
[0037]

$$\begin{array}{l} d11 = \text{理論線のY座標} - 3 \text{画素中心のY座標} \\ d12 = 1.0 + d11 \\ d13 = 1.0 - d11 \end{array} \quad) \cdots \textcircled{2}$$

となる。

【0038】アンチエイリアシング処理では、このよう
にして求められた距離を用いて、各画素毎にテーブルを
参照するのが一般的であるが、本発明ではこれらの処理
を単純化して扱うため、参照テーブル231を以下のよう
に構成する。

【0039】まず距離 $d01$ や $d11$ に対して、図5
(A)に示す如く、3画素分の低減率をバッキングした
値を参照テーブル231のエントリとする。図5(A)
では、各低減率を8ビットで表現している。

【0040】しかし前記式①、②から明らかなように、
距離 $d01$ と $d11$ とは値が同一でも参照する値が異なる
ため、これらを区別して扱うように参照テーブル231
を工夫する必要がある。

【0041】実際には、参照テーブル231を、図5
(B)に示す如く、231-0と231-1とに2区分
しておき、 Y 座標の小数部の最上位ビット(0.5を表
現するビット)が0か1かにより参照テーブル231の
アクセス先を区分231-0か区分231-1かに変更
する。以下その理由について説明する。

【0042】例えば図4において、 $X = 1.0$ における
理論線 L 上の(★)の Y 座標は、

$$1.5 \leq Y < 2.0$$

であり、 $X = 2.0$ における理論線 L 上の(☆)の Y 座
標は、

$$2.0 \leq Y < 2.5$$

である。

【0043】本発明では、前記の如く、 Y 座標から予め
0.5が減算されているので、 $X = 1.0$ では
 $1 \leq Y < 1.5$

であり、 $X = 2.0$ では、

$$1.5 \leq Y < 2.0$$

となる。

【0044】ここで、この小数部だけを取り出すと、 X
 $= 1.0$ では、

$$.0 \sim .4999 \cdots \cdots \textcircled{3}$$

となり、 $X = 2.0$ では、

$$.5 \sim .999 \cdots \cdots \textcircled{4}$$

となる。

【0045】従って、前記③と④とを区別することが、
前記式①と式②を区別することになるが、これはこの③
と④から明らかなように、③の場合は Y 座標の小数部の

最上位ビットは0であり、④の場合は Y 座標の小数部の
最上位ビットは1であるので、図5(B)に示す如く、
 Y 座標の小数部の最上位ビットが0のとき、前記式①の
場合は参照テーブル231の区分231-0を参照し、
前記式②の場合は区分231-1を参照すればよい。

【0046】図5(B)の例では、参照アドレスとして
 Y 座標の小数部の5ビットを使用している。そしてこの
参照テーブル231から得られた3つの低減率は、副軸
処理部3の低減率レジスタ331に出力される。

【0047】図1(A)に示す本発明の動作について、
横線分の例により説明する。制御部1に、図2に示す如
き形式のデータが入力される。これにより制御部1は、
主軸処理部2の X 始点レジスタ211に X 座標始点 X_s
の整数部をセットし、 X 増分レジスタ213に増分値デ
ータ1.0をセットし、 Y 始点レジスタ221には本来
の値の Y 座標始点 Y_s より0.5を加えて1.0を引い
たもの、つまり本来の値より0.5を引いたものをセッ
トし、 Y 増分レジスタ223には傾きとして、横線分の
場合には Y 増分値 d_y をセットする。

【0048】このときセクタ230は Y 始点レジスタ
221にセットされたデータを出力し、これにより参照
テーブル231が参照される。図1(B)の理論線 L の
場合には、始点の場合は、前記式②のケースに相当す
るので、図5(B)に示す区分231-1がアクセスされ
て、図5(A)に示す $d11$ に対するLUTデータが出力
される。

【0049】また副軸処理部3の、 X 始点レジスタ31
1には、主軸処理部2の X 始点レジスタ211より出力
された X 座標始点の整数部がセットされ、 X 増分レジ
スタ313には制御部1より送出された X 増分値0がセッ
トされ、 Y 始点レジスタ321には主軸処理部2の Y 始
点レジスタ221より出力された、本来の値より0.5
を引いた Y 始点のデータがセットされ、 Y 増分レジ
スタ323には制御部1より出力された Y 増分値1.0が設
定される。

【0050】そして低減率レジスタ331には参照テー
ブル231より出力された $8 \times 3 = 24$ ビットのLUT
データがセットされ、シフト量レジスタ333には制御
部1より出力されたこの参照テーブル231のサイズに
依存した、シフト量8がセットされる。

【0051】このようにして、副軸処理部3の X 座標演
算部31、 Y 座標演算部32、低減率演算部33は、そ

れぞれ各レジスタが設定されると制御部1からの指示により動作を開始する。主軸処理部2のX座標演算部21、Y座標演算部22、低減率演算部23も、同様にして動作を行う。

【0052】X座標演算部31では、動作を開始すると、X始点レジスタ311にセットされた始点データ、例えば図3における X_0 。を出力制御部4に出力するとともに、始点データとX増分レジスタ313にセットされたX増分値0が加算器310により加算され、この加算値が新たな始点データとしてX始点レジスタ311にセ

ットされる。この出力と加算をさらに2回繰り返すと停止する。従って、図3に示す X_0 。が3回出力される。
【0053】Y座標演算部32では、動作開始すると、Y始点レジスタ321にセットされた始点データ、例えば図3における Y_0 。を出力制御部4に出力するとともに、始点データとY増分レジスタ323にセットされたY増分値 d_y が加算器320により加算され、この加算値が新たな始点データとしてY始点レジスタ311にセ

ットされる。この出力と加算をさらに2回繰り返すと停止する。従って、図3に示す Y_0 。、 $Y_0 + 1$ 、 $Y_0 + 2$ が順次出力される。
【0054】低減率演算部33では、動作開始すると、低減率レジスタ331にセットされた最初の8ビットの低減率(図5(A)の d_{11} に対する場合は、 d_{12} に対する低減率)を出力するとともに、シフト量レジスタ333にセットされた8ビット分右シフトして再び低減率レジスタ331にセットし、次の8ビット(d_{11} に対する低減率)を出力する。このような出力とシフトをさらに2回繰り返すと停止する。従って例えば d_{12} 、 d_{11} 、 d_{13} に対する低減率が前記画

素データの発生と同期して順次出力される。
【0055】出力制御部4は、このようにして、最初は、座標値 X_0 。と座標値 Y_0 。と低減率 d_{12} を受け取る。このとき、副軸処理部3のY座標演算部32から整数部のみ出力することにより4捨5入されたY座標値 Y_0 。を得る。かくして得られた(X_0 。、 Y_0 。)と低減率 d_{12} つまり画素E00とその低減率 d_{12} を出力し、これに応じた表示制御が行われる。

【0056】次に出力制御部4は座標値 X_0 。、 $Y_0 + 1$ の整数部 Y_1 。と低減率 d_{11} を受け取り、かくして得られた(X_0 。、 Y_1 。)と低減率 d_{11} つまり画素E01とその低減率 d_{11} を出力し、これに応じた表示制御が行われる。

【0057】同様にして3回目に画素E02とその低減率 d_{13} が出力され、これに応じた表示制御が行われる。このようにして、画素E00、E01、E02に対するアンチエイリアシングが行われる。この場合、座標値及び低減率データは必要なビット幅のデータを外部に出力することができる。

【0058】この間に主軸処理部2では、X座標演算部

21においてX始点レジスタ211にセットされた始点データとX増分レジスタ213にセットされたX増分値1。0が加算器210で加算され、得られたデータ、即ち図3における X_1 。がX始点レジスタ211にセットされ、これが副軸処理部3のX始点レジスタ311にセ

ットされる。
【0059】同様にY座標演算部22では、Y始点レジスタ221にセットされた始点データ y_0 。とY増分レジスタ223にセットされたY増分値 d_y が加算器220で加算され、得られたデータ($y_0 + d_y$)、即ち図3における y_1 。がY始点レジスタ221にセットされ、これが副軸処理部3のY始点レジスタ321にセ

ットされる。
【0060】また低減率演算部23では、前記 y_1 。に基づき、前記と同様に参照テーブル231をアクセスし、LUTデータを出力し、これが副軸処理部3の低減率レジスタ331にセ

ットされる。
【0061】これにより、前記と同様の処理が行われ、今度は、図3における画素E10、E11、E12に対するアンチエイリアシングが行われる。このようなことを理論線Lの終端のX座標まで同様に行うことによりアンチエイリアシングが完了する。

【0062】本発明の第2実施例を図6により説明する。図6では、画素データ発生手段の入力情報を保持するレジスタ群及び各画素の低減率を保持するレジスタを2面構成で持つ。即ち、主軸処理部2におけるX座標演算部21ではX始点レジスタを211と211'、X増分レジスタを213と213'の2面構成とし、Y座標演算部22ではY始点レジスタを221と221'、Y増分レジスタを223と223'の2面構成とする。

【0063】また副軸処理部3におけるX座標演算部31ではX始点レジスタを311と311'、X増分レジスタを313と313'の2面構成とし、Y座標演算部32ではY始点レジスタを321と321'、Y増分レジスタを323と323'の2面構成とする。また低減率演算部33では低減率レジスタ331と331'の2面構成とする。

【0064】このように構成することにより2面構成の一方をデータ入力用とし他方を作業用とし、データ入力用で受けたデータを作業用にコピーして加算処理とか、シフト処理等を行う。

【0065】このように構成することにより、例えば、副軸処理部3において、図3に示す X_0 。に関する処理、つまり画素E00、E01、E02に対する演算処理を実行中に、次の X_1 。に関するデータを主軸処理部2より入力できる。このように、処理を実行中でも次の処理に関するデータを受け取ることができ、連続的に処理を行うことができるので、全体として高速処理が可能である。

【0066】なお2面構成は、副軸処理部3のみでも充

分な高速処理が可能である。本発明の第3実施例を図7に基づき説明する。図7に示す第3実施例では、前記図6に説明した副軸処理部と同様に、副軸処理部103のX座標演算部1031、Y座標演算部1032、低減率演算部1033において、X始点レジスタ、Y始点レジスタ、低減率レジスタをそれぞれ入力用X始点レジスタ1041と作業用X始点レジスタ1041'、入力用Y始点レジスタ1051と作業用Y始点レジスタ1051'、入力用低減率レジスタ1061と作業用低減率レジスタ1061'の2面構成で持つ。また、X増分レジスタ、Y増分レジスタをそれぞれ入力用X増分レジスタ1043と作業用X増分レジスタ1043'、入力用Y増分レジスタ1053と作業用Y増分レジスタ1053'の2面構成で持つ。

【0067】また出力制御部104に分配器105を設け、例えばY座標の奇数、偶数に応じて2つのフレームバッファ制御装置110、111及び2つのフレームバッファ112、113に出力を分配する。

【0068】即ち、X座標演算部1031、Y座標演算部1032、低減率演算部1033等が動作を開始すると、入力用X始点レジスタ1041の値を作業用X始点レジスタ1041'にコピーし、入力用Y始点レジスタ1051の値を作業用Y始点レジスタ1051'にコピーし、入力用低減率レジスタ1061の値を作業用低減率レジスタ1061'にコピーする。また、入力用X増分レジスタ1043の値を作業用増分レジスタ1043'にコピーし、入力用Y増分レジスタ1053の値を作業用Y増分レジスタ1053'にコピーする。そしてこれら各作業用のレジスタを用いて加算又はシフト動作、及び出力動作を行う。

【0069】これによりX座標演算部1031、Y座標演算部1032、低減率演算部1033等が動作中に、次の3画素分の処理を行うためのデータを主軸処理部が入力用X始点レジスタ1041、入力用Y始点レジスタ1051、入力用低減率レジスタ1061、入力用X増分レジスタ1043、入力用Y増分レジスタ1053に設定することが可能になり、処理を高速化することができる。

【0070】出力制御部104は、分配器105を設け、例えばY座標の整数部の最下位1ビットの値により偶数Y座標出力と奇数Y座標出力に出力を分配する。このような分配器105を持つことにより、2つのフレームバッファ制御装置110、111にデータを分配する。これはメモリアクセスが遅く、フレームバッファ制御装置を並列に使用するような場合に効果がある。

【0071】この例では、Y座標の下位1ビットを用いて分配制御したが、フレームバッファのメモリ構成によってはX座標を用いてもよいし、また分配に関し下位の複数ビットを用いて並列度を増してもよい。フレームバッファ制御装置110、111は、分配器105から入

力される画素の低減率と理論線の輝度に基づいた輝度をフレームバッファ112、113の画素の位置に記入する。

【0072】本発明の第4実施例を図8に基づき説明する。図8では副軸処理部3の出力X座標値、Y座標値及び低減率を出力制御部114、115、116、117に同時に出力し、出力制御部114～117で選択されたものをそれぞれフレームバッファ制御装置161～164に出力してフレームバッファ171～174のこれらX座標値、Y座標値で指示された画素に、その低減率に基づきフレームバッファ制御装置で演算された輝度を記入するものである。

【0073】前記図7に示す第3実施例では、複数のフレームバッファ制御装置を介して複数のフレームバッファに対して出力する場合、フレームバッファ制御装置数を増加することにより出力ピンの数が増加するので、これをLSI化するとき問題となる。

【0074】しかし、図8に示す第4実施例によれば、出力制御部114、115、116、117の単位で並列化するので各出力制御部におけるピン数は増加せずすむ。

【0075】なお図8においては、出力制御部114に比較器120と、マスク情報レジスタ121と、出力無効制御部122が設けられ、比較器120においてマスク情報レジスタ121に記入されたマスク情報の下位2ビットが副軸処理部3から出力されたY座標値と比較され、一致したとき比較器120は出力無効制御部122を有効状態に制御し、副軸処理部3から出力されたX座標値、Y座標値、低減率をフレームバッファ制御装置161に出力する。出力制御部115、116、117も、選択値を除き出力制御部114と同様に構成されている。

【0076】図8の例では、マスク情報レジスタ121のマスク情報である下位2ビットが数値ゼロを示し、マスク情報レジスタ131のマスク情報である下位2ビットが数値1を示し、マスク情報レジスタ141のマスク情報である下位2ビットが数値2を示し、マスク情報レジスタ151のマスク情報である下位2ビットが数値3を示している。

【0077】従ってY座標値の下位2ビットが「00」であれば、比較器120の出力により出力無効制御部122は出力有効状態となり、そのとき副軸処理部3より出力されたX座標値、Y座標値、低減率を出力し、これらはフレームバッファ制御装置161に入力され、前記X座標値、Y座標値で指示されたフレームバッファ171の画素に低減率に基づく輝度が記入される。

【0078】Y座標値の下位2ビットが「01」であれば、比較器130の出力により出力無効制御部132はそのときのX座標値、Y座標値、低減率を出力し、フレームバッファ制御装置162にこれらが入力され、その

13

X座標値、Y座標値で指示されたフレームバッファ172の画素にこの低減率に基づく輝度が記入される。

【0079】Y座標値の下位2ビットが「10」であれば、比較器140の出力により出力無効制御部142はそのときのX座標値、Y座標値、低減率を出力し、フレームバッファ制御装置163にこれらが入力され、そのX座標値、Y座標値で指示されたフレームバッファ173の画素にこの低減率に基づく輝度が記入される。

【0080】またY座標値の下位2ビットが「11」であれば、比較器150の出力により出力無効制御部152はそのときのX座標値、Y座標値、低減率を出力し、フレームバッファ制御装置164にこれらが入力され、そのX座標値、Y座標値で指示されたフレームバッファ*

出力輝度=線分の輝度×低減率+フレームバッファの輝度・・・⑤

この処理は、例えば前記図7に示すフレームバッファ制御装置110、111によって実施される。

【0084】しかし前記式⑤では、連続する線分の接続点で同一の画素が2度描画されるため、格納される輝度値が大きくなってしまふ。例えば図9(B)に示す如く、線分 L_1 、 L_2 、 L_3 ・・・をアンチエイリアシングするとき、接続点 P_1 、 P_2 では同一の画素が2度描画されるので輝度値が大きくなってしまふ。

【0085】これを回避するため、本発明の第5実施例では、前記主軸処理部2の低減率演算部23に、図9(A)に示す如く、通常の参照テーブル231とは別に端点(始点、終点)用の参照テーブル232を別に持ち、この端点用の参照テーブル232に予め減衰させた低減率データを登録しておく。例えば通常の参照テーブル231よりも1/2にした低減率データを登録しておく。

【0086】そして加算器53とベースアドレスレジスタ55を設け、ベースアドレスレジスタ55のベースアドレスデータを、セクタ230より出力されたデータに加算したとき、端点用の参照テーブル232をアクセスし、ベースアドレスデータを加算しないときは通常の参照テーブル231をアクセスするように構成する。

【0087】いま、図9(B)に示す横線分である線分 L_1 が、例えば図6に示す制御部1に入力されたとき、制御部1から前記の如く、X始点、データ、X増分値、Y始点データ、Y増分値等が主軸処理部2、副軸処理部3等に送出されるが、このとき図9(A)の加算器53に対して端点信号が送出され、この線分 L_1 に対する始点については、セクタ230から選択送出されたY座標値とベースアドレスレジスタ55から出力されたベースアドレスが加算されて端点用の参照テーブル232がアクセスされる。

【0088】線分 L_1 の中間点に対する処理の場合、加算器53に端点信号が印加されないため、セクタ230の出力により通常の参照テーブル231がアクセスされる。ところで制御部1では、カウンタにより、この線

14

*174の画素にこの低減率に基づく輝度が記入される。

【0081】上記図8に対する説明ではY座標の下位2ビットを比較した例について説明したが、勿論出力制御部の並列接続数に応じてこのマスク情報のビット数は変更可能である。

【0082】本発明の第5実施例を図9により説明する。線分のアンチエイリアシング方式として、グラフィックスの規格(例えばシリコングラフィックス社のG_L)では、各画素の本来の輝度と、フレームバッファの対応する画素の輝度とをブレンドする規格があり、一般に広く用いられている。これを式で表現すると下記の式⑤となる。

【0083】

分 L_1 の終点座標をカウントしておき、処理が終点に達するとき、端点信号を再び加算器53に出力し、同様の制御が行われる。このようにして線分 L_1 、 L_2 、・・・の端点に対しては、端点用の参照テーブル232がアクセスされるので、端点の2度書きによる輝度増加の影響を防ぐことが可能となる。

【0089】本発明の第6実施例を図10により説明する。前記図9では、通常の処理の参照テーブル231と端点用の参照テーブル232との2面の参照テーブルを必要とする。しかしメモリの物理的制限により参照テーブルを2面持つことができない場合が存在する。本発明の第6実施例はこのような場合に対処するものである。

【0090】第6実施例では、前記低減率演算部33に、図10に示す如く、シフト演算部340を設け、端点に対し作業用低減率レジスタ331'の出力を1ビット右にシフト出力させる。

【0091】シフト演算部340は、データを1ビット右にシフトする1ビットシフタ341と、ゼロを出力するマスクデータレジスタ342と、1ビットシフタ341の出力の先頭にマスクデータレジスタ342の出力を挿入するマスク演算器343を具備する。

【0092】前記制御部1から端点信号がオンつまりイネーブル(enable)信号が入力されたとき、シフト演算部340が動作し、図10(B)に示す如く、作業用低減率レジスタ331'から出力された、例えば8ビットの X_1 、 X_2 ・・・ X_7 、 X_8 が1ビットシフタ341により1ビット右にシフトされた X_1 、 X_2 ・・・ X_7 がマスク演算部343に入力される。

【0093】このときマスク演算部343には、マスクデータレジスタ342からマスクデータ0が入力されており、これを最上位ビットに記入した0 X_1 、 X_2 ・・・ X_8 を演算してこれを出力する。これにより1ビットの右シフトにより、端点の低減率を50%減衰することが可能である。

【0094】前記制御部1は、端点の処理でないとき端点信号をオフつまりデセーブル(disable)信号

が入力され、作業用低減率レジスタ 331' の出力がそのままスルーでシフト演算部 340 から出力される。

【0095】前記実施例では参照テーブルに記入された低減率が 8 ビットの例について説明したが、本発明は勿論これに限定されるものではない。また前記実施例では横線分の場合について説明したが本発明では勿論縦線分に対しても適用できるものである。

【0096】

【発明の効果】請求項 1 に記載された本発明によれば、対称性のよい同期がとり易く、簡単な構成で高速な線分アンチエイリアシング装置を提供することができる。

【0097】請求項 2 に記載された本発明によれば、一層の高速処理化を図ることができる。請求項 3 に記載された本発明によれば、処理の効率化を図ることができる。

【0098】請求項 4 に記載された本発明によれば、LSI のピン数をあまり増加させることなく複数の出力制御装置、フレームバッファ制御装置、フレームバッファ等を並列接続できるので、LSI 化し易くなる。

【0099】請求項 5 に記載された本発明によれば、線分の端点の輝度を適正化することができる。請求項 6 に記載された本発明によれば、線分の端点の輝度の適正化を一枚の参照テーブルで可能となるので小形化できる。しかも計算で行うので輝度の適正化を高速処理できる。

【図面の簡単な説明】

【図 1】本発明の一実施例構成図及び線分説明図である。

*

【図 2】

入力データの形式説明図

ベクトル H	
X 座標点 X_1	整数部 小数部 横線分の場合、小数部 0
Y 座標点 Y_1	整数部 小数部 縦線分の場合、小数部 0
低減率 E	整数部 0 0 横線分の場合、X 座標 縦線分の場合、Y 座標
傾き	整数部 小数部 横線分の場合、Y 増分値 縦線分の場合、X 増分値

* 【図 2】入力データ形式説明図である。

【図 3】本来の理論線と本発明で増分計算を行う理論線の関係状態説明図である。

【図 4】描画面素と理論線の距離を示す図である。

【図 5】参照テーブルのデータ構成及び参照状態説明図である。

【図 6】本発明の第 2 実施例構成図である。

【図 7】本発明の第 3 実施例構成図である。

【図 8】本発明の第 4 実施例構成図である。

【図 9】本発明の第 5 実施例構成図である。

【図 10】本発明の第 6 実施例構成図である。

【図 11】理論上の線分とエイリアシング発生線分説明図である。

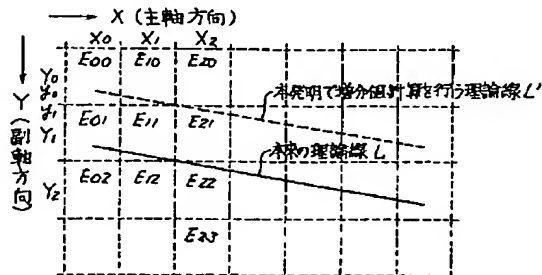
【図 12】アンチエイリアシングを施した線分の説明図である。

【符号の説明】

- 1 制御部
- 2 主軸処理部
- 3 副軸処理部
- 4 出力制御部
- 21 X 座標演算部
- 22 Y 座標演算部
- 23 低減率演算部
- 31 X 座標演算部
- 32 Y 座標演算部
- 33 低減率演算部

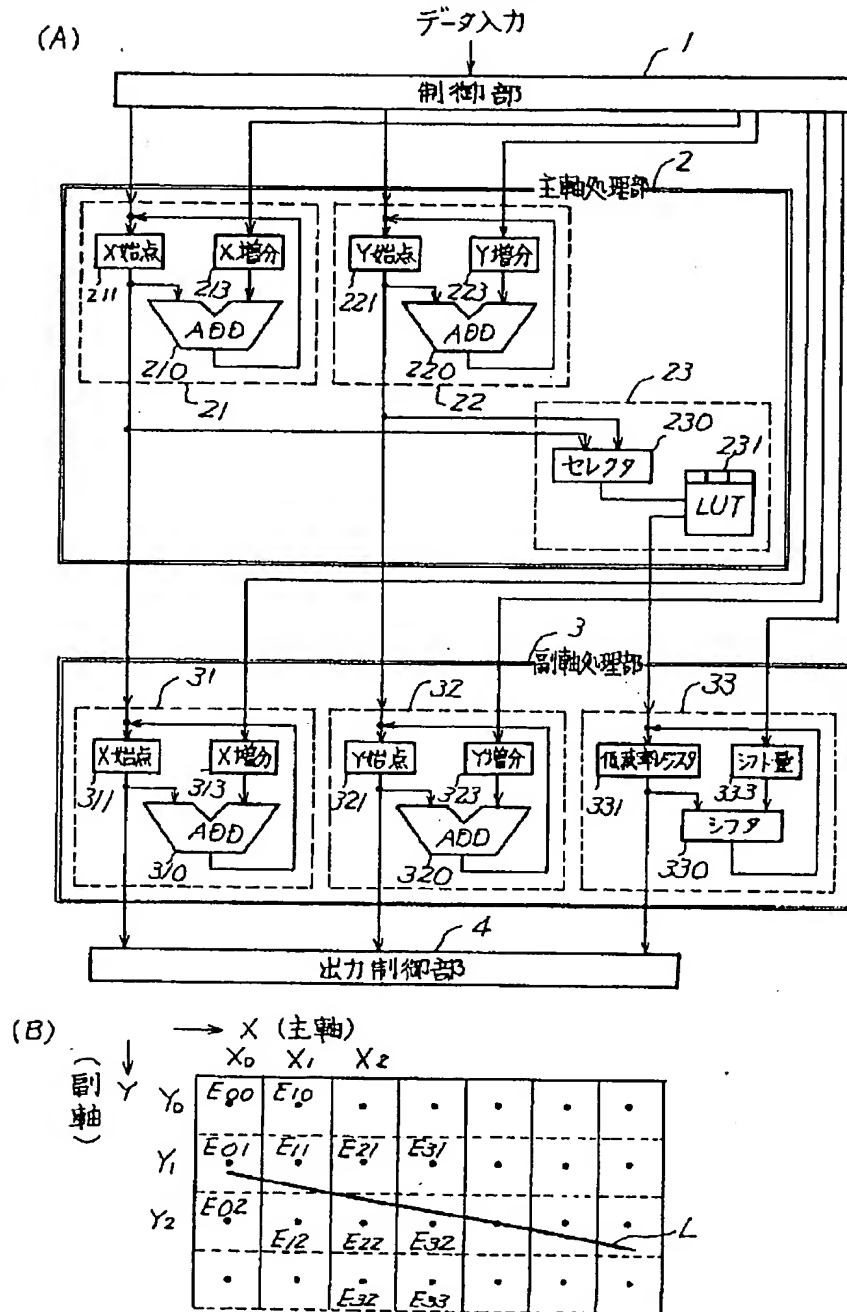
【図 3】

本来の理論線と本発明で増分計算を行う理論線の関係状態説明図



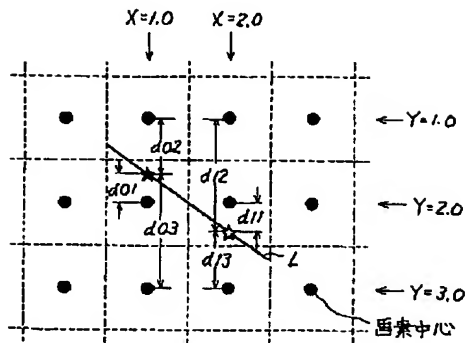
【図1】

本発明の一実施例構成及び線分説明図



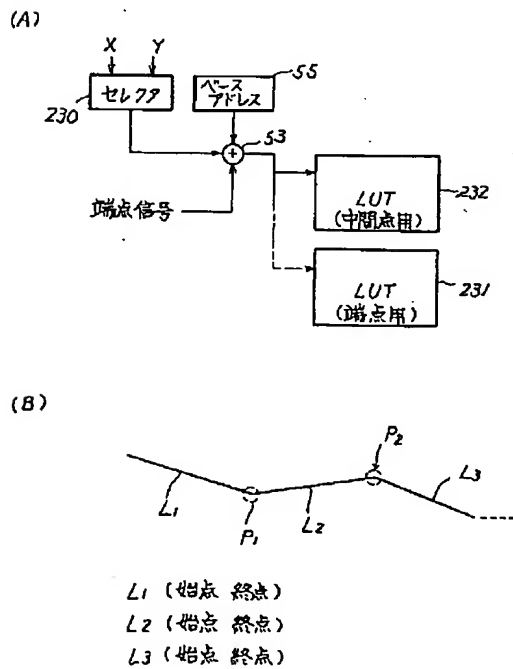
【図 4】

描画画素と理論線の距離を示す図



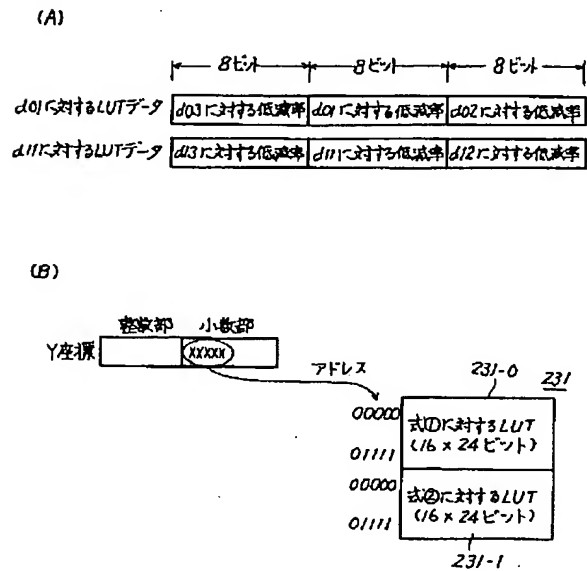
【図 9】

本発明の第5実施例構成図



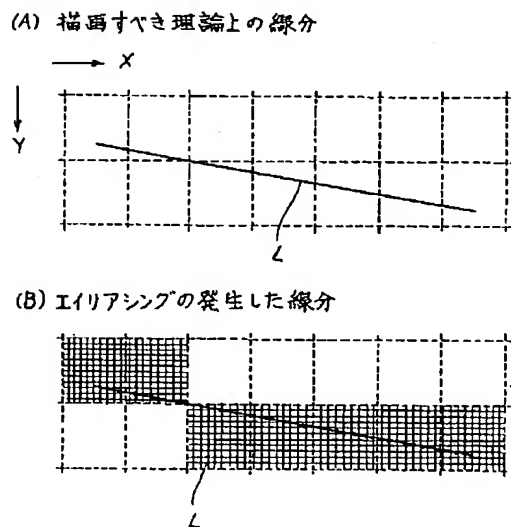
【図 5】

参照テーブルのデータ構成及び参照状態説明図



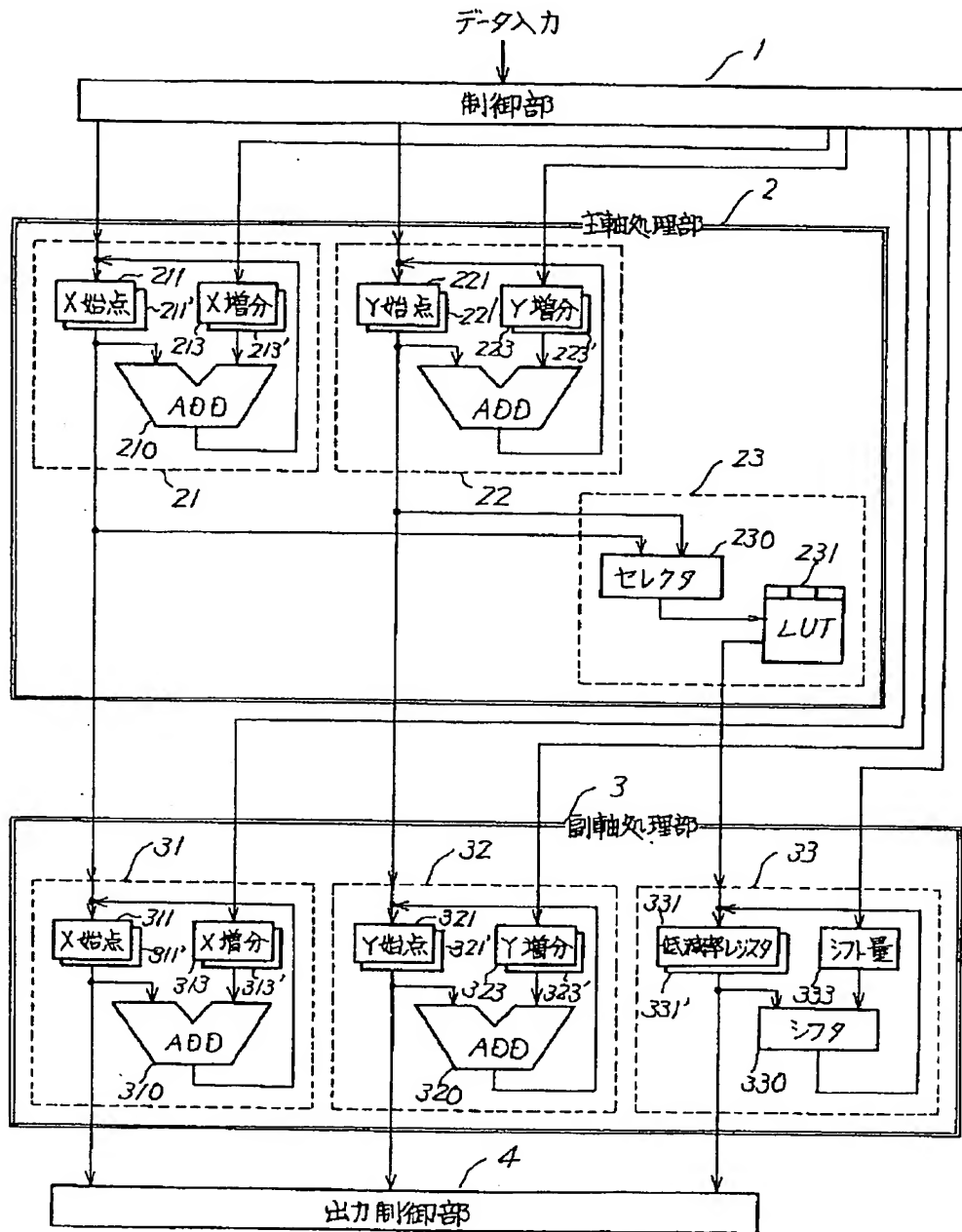
【図 11】

理論上の線分とエイリアシング発生線分説明図



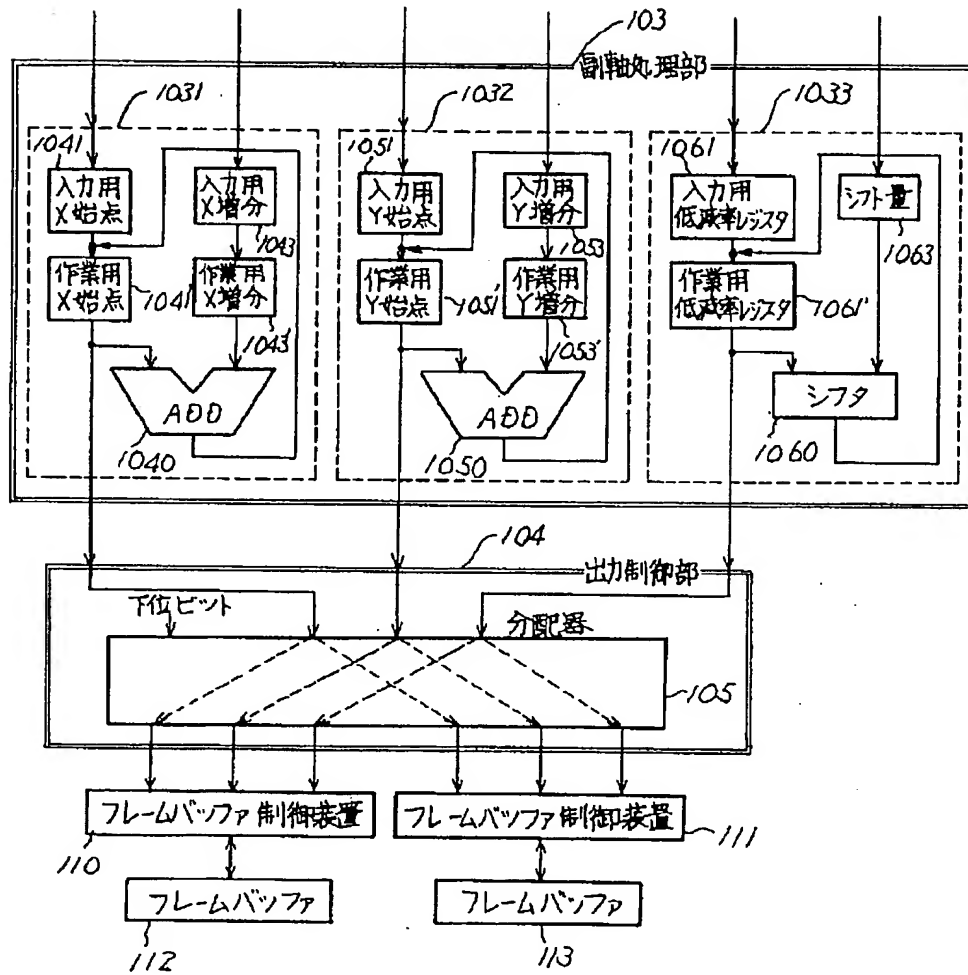
【図6】

本発明の第2実施例構成図



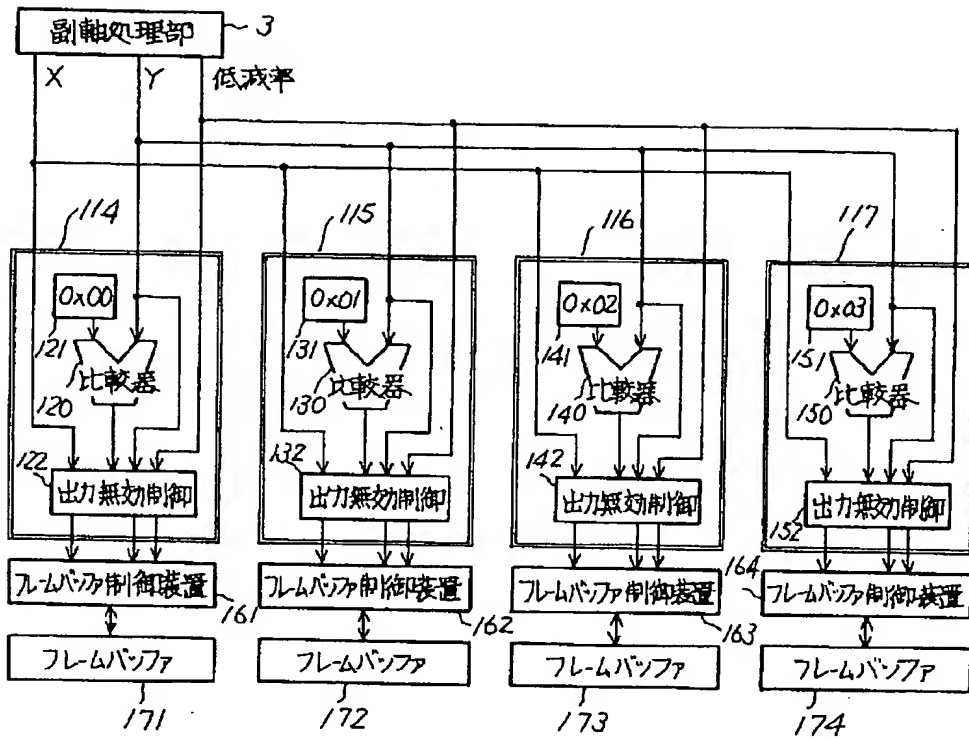
【図7】

本発明の第3実施例構成図



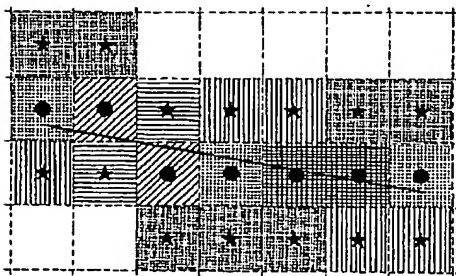
【図8】

本発明の第4実施例構成図



【図12】

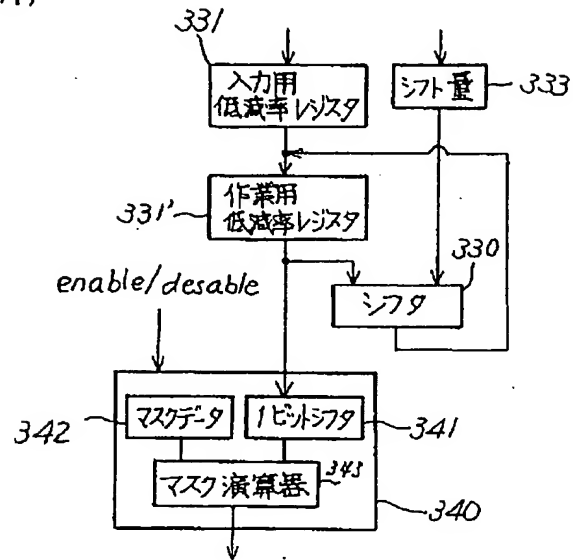
アンチエイリアシングを施した線分



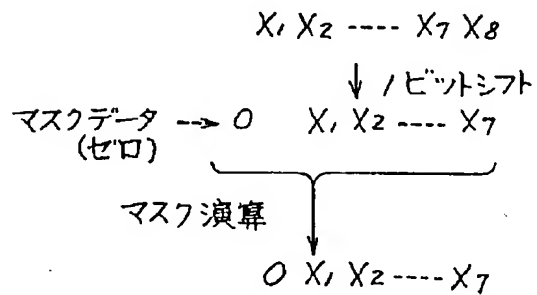
【図10】

本発明の第6実施例構成図

(A)



(B)



フロントページの続き

(51)Int.Cl.⁶

G 0 9 G 5/20

識別記号

片内整理番号

9377-5H

F I

技術表示箇所

G 0 6 F 15/68

3 1 0 J